

DERWENT-ACC-NO: 2000-003551

DERWENT-WEEK: 200001

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Thin film transistor channel area configuration in liquid crystal substrate - maintains thickness channel area of thin film transistors corresponding to source area, different from that corresponding to drain area

PATENT-ASSIGNEE: TOSHIBA KK[TOKE]

PRIORITY-DATA: 1998JP-0079839 (March 26, 1998)

PATENT-FAMILY:

PUB-NO IPC	PUB-DATE	LANGUAGE	PAGES	MAIN-
JP 11281997 A 001/1345	October 15, 1999	N/A	007	G02F

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 11281997A	N/A	1998JP-0079839	March 26, 1998

INT-CL (IPC): G02F001/1345, G02F001/136

ABSTRACTED-PUB-NO: JP 11281997A

BASIC-ABSTRACT:

NOVELTY - Thin film transistors (TFT) (5,12) are formed on channel areas (33,36), with source areas (34,37) and drain areas (35,38) made of polycrystalline silicon. The thickness of the channel areas are mutually different. DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for channel area formation method.

USE - In LC substrate used for liquid crystal display device manufacture.

ADVANTAGE - Electron mobility of TFTs can be changed as required, by changing the film thickness of channel areas. Many TFTs can be easily formed on one

substrate. DESCRIPTION OF DRAWING(S) - The figure shows sectional view of the

TFU. (5,12) ~~Thin film transistors~~; (33,36) Channel areas; (34,37) Source areas; (35,38) Drain areas.

CHOSEN-DRAWING: Dwg.1/16

TITLE-TERMS: THIN FILM TRANSISTOR CHANNEL AREA CONFIGURATION
LIQUID CRYSTAL

SUBSTRATE MAINTAIN THICK CHANNEL AREA THIN FILM
TRANSISTOR

CORRESPOND SOURCE AREA CORRESPOND DRAIN AREA

DERWENT-CLASS: P81 U14

EPI-CODES: U14-K01A2B;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2000-002997

1

【特許請求の範囲】

【請求項1】 多結晶シリコンのチャネル領域を有する薄膜トランジスタが複数設けられた回路基板において、前記薄膜トランジスタのチャネル領域の膜厚が異なることを特徴とする回路基板。

【請求項2】 チャネル領域の不純物濃度が異なることを特徴とする請求項1記載の回路基板。

【請求項3】 チャネル領域は、第1の非晶質シリコンにより形成された第1の多結晶シリコンおよび第2の非晶質シリコンにより形成された第2の多結晶シリコンが積層して形成され、

第1の多結晶シリコンおよび第2の多結晶シリコンの少なくとも一方は、p型不純物およびn型不純物のいずれかを含有していることを特徴とする回路基板。

【請求項4】 多結晶シリコンのチャネル領域を有する
薄膜トランジスタが複数設けられた回路基板の製造方法
において、

基板上に第1の非晶質シリコンを形成する工程と、前記第1の非晶質シリコンの厚さを異ならせる工程、レーザビームアニールにより第1の非晶質シリコンを結晶シリコンにする工程とを具備することを特徴とし、回路基板の製造方法。

【請求項5】 第1の非晶質シリコンの厚さを異ならせる工程は、

前記第1の非晶質シリコンの一部にレジストを形成する工程と、

このレジストをマスクとして酸化洗浄する工程と、この酸化された第1の非晶質シリコンをエッチングする工程とを具備することを特徴とする請求項4記載の回路基板の製造方法。

【請求項6】 第1の非晶質シリコンの厚さを異ならせた後に第2の非晶質シリコンを成膜する工程を具備することを特徴とする請求項4または5記載の回路基板の製造方法。

【請求項7】 第1の非晶質シリコンにより形成された第1の多結晶シリコンおよび第2の非晶質シリコンにより形成された第2の多結晶シリコンの少なくとも一方は、p型不純物およびn型不純物のいずれかを含有していることを特徴とする回路基板の製造方法

【請求項8】 請求項1ないし3いずれか記載の回路基板をアレイ基板とし、

このアレイ基板に対向して配設された対向基板と、
前記アレイ基板および対向基板間に配設された液晶とを
具備したことを特徴とした液晶表示装置

【発明の詳細な説明】

卷之三

【発明の属する技術分野】本発明は、複数の薄膜トランジスタが配置された回路基板、その製造方法および液晶表示装置に関するものである。

[0003]

2

【従来の技術】一般に、プラズマ、発光ダイオードおよび液晶などの表示デバイスは、表示部の薄形化が可能であり、事務機器やコンピュータなどの表示装置あるいは特殊な表示装置への用途として要求が高まっている。

【0003】これらの中で、非晶質であるアモルファス・シリコン (a-Si) または結晶相を有する多結晶シリコン (ポリシリコン: poly-Si) を用いた薄膜トランジスタ (Thin Film Transistor) をスイッチング素子としてマトリクス状に配設した薄膜トランジスタの液晶表示装置 (TFT-LCD) は、表示品位が高く、低消費電力である。

【0004】特に、多結晶シリコンを用いた薄膜トランジスタは、非結晶シリコンを用いた薄膜トランジスタよりも移動度が10から100倍程度高いため、画素用のスイッチング素子として用いるのみならず、周辺駆動回路に多結晶シリコンの薄膜トランジスタを用いて、画素用の薄膜トランジスタと駆動回路用の薄膜トランジスタを同一基板上に同時に形成する駆動回路一体型の薄膜トランジスタの液晶表示装置が開発されている。

【0005】また、多結晶シリコンを薄膜トランジスタの液晶表示装置に用いる際の課題として、駆動回路用の薄膜トランジスタと画素用の薄膜トランジスタでは要求される性能が異なることが挙げられる。すなわち、画素用の薄膜トランジスタでは移動度は $5\sim 30\text{ cm}^2/\text{Vs}$ 程度、駆動回路用の薄膜トランジスタでは $60\sim 150\text{ cm}^2/\text{Vs}$ 程度が必要である。また、閾値電圧(Vth)についても、駆動回路用はnチャネルの薄膜トランジスタでは $1.0\text{ V}\sim 3.0\text{ V}$ 、pチャネルの薄膜トランジスタでは $-2.0\text{ V}\sim -4.0\text{ V}$ であり、画素用はnチャネルの薄膜トランジスタで $2.0\text{ V}\sim 4.0\text{ V}$ と要求される値が異なるため閾値電圧を独立に制御する必要がある。

【0006】このような課題に対し従来は、移動度に関しては、画素用の薄膜トランジスタに非晶質シリコンを用い、駆動回路用の薄膜トランジスタに多結晶シリコンを用いたハイブリッド型の薄膜トランジスタが知られている。

【0007】ところが、ハイブリッド型の薄膜トランジスタは製造プロセスが複雑なこと、および、非晶質シリコンおよび多結晶シリコンを同一基板に作成するために駆動回路用の薄膜トランジスタと画素用の薄膜トランジスタに長い配線が必要である。すなわち、ハイブリッド型の薄膜トランジスタの製造方法は、駆動回路用の薄膜トランジスタのみエキシマレーザアニール（E.L.A）などでポリ化する方法を用いていたため、多結晶シリコンと非晶質シリコンの境界は機械的な合わせ精度を考慮すると0.5mm程度しかないと、境界には長い配線を設けなければならず、多結晶シリコンの薄膜トランジスタの液晶表示装置の特徴の狭額縫化に相反する。さらに、配線が長いため、配線抵抗が増加し事実上の駆動能

力も低下する。

【0008】また、エキシマレーザアニールのフルエンスを画素部用と駆動回路用とで異ならせて粒径の異なるハイブリッドの多結晶シリコンの薄膜トランジスタを形成し、画素部用の薄膜トランジスタを低移動度とし、駆動回路用の薄膜トランジスタを高移動度とする場合も同様な問題を有している。

【0009】さらに、閾値電圧に関しては、チャネルドープにより活性層中に不純物を打ち込み変化させていたが、Pチャネルの薄膜トランジスタとNチャネルの薄膜トランジスタと、あるいは、画素用の薄膜トランジスタと駆動回路用の薄膜トランジスタとでは閾値電圧をそれぞれ独立してコントロールするために、マスクをして不純物の打ち込みをしなければならないため工程が煩雑になる。

{0010}

【発明が解決しようとする課題】上述のように、同一基板内には、移動度および閾値電圧が異なる薄膜トランジスタを容易に形成できない問題を有している。

【0011】本発明は、上記問題点に鑑みなされたもので、特性の異なる薄膜トランジスタを有する回路基板、その製造方法および液晶表示装置を提供することを目的とする。

[0012]

【課題を解決するための手段】本発明は、多結晶シリコンのチャネル領域を有する薄膜トランジスタが複数設けられた回路基板において、前記薄膜トランジスタのチャネル領域の膜厚が異なるものである。

【0013】そして、薄膜トランジスタのチャネル領域の膜厚を異ならせることにより、薄膜トランジスタの移動度などの特性を異ならせる。

【0014】また、チャネル領域の不純物濃度が異なるもので、薄膜トランジスタの閾値電圧を異ならせる。

【0015】さらに、チャネル領域は、第1の非晶質シリコンにより形成された第1の多結晶シリコンおよび第2の非晶質シリコンにより形成された第2の多結晶シリコンが積層して形成され、第1の多結晶シリコンおよび第2の多結晶シリコンの少なくとも一方は、p型不純物およびn型不純物のいずれかを含有しているもので、第1の多結晶シリコンおよび第2の多結晶シリコンのいずれかに、p型不純物またはn型不純物を含有することにより、所望の特性の薄膜トランジスタを形成する。

【0016】また、本発明は、多結晶シリコンのチャネル領域を有する薄膜トランジスタが複数設けられた回路基板の製造方法において、基板上に第1の非晶質シリコンを形成する工程と、前記第1の非晶質シリコンの厚さを異ならせる工程と、レーザビームアニールにより第1の非晶質シリコンを多結晶シリコンにする工程とを具備するものである。

【0017】そして、厚さが異なる第1の非晶質シリコ

ンをレーザビームアニールすると、膜厚の薄い部分の多結晶シリコンの粒径は大きくなつて移動度を大きくなり、膜厚の厚い部分の多結晶シリコンの粒径は小さくなつて移動度を小さくでき、薄膜トランジスタの特性を異ならせられる。

【0018】さらに、第1の非晶質シリコンの厚さを異ならせる工程は、前記第1の非晶質シリコンの一部にレジストを形成する工程と、このレジストをマスクとして酸化洗浄する工程と、この酸化された第1の非晶質シリコンをエッティングする工程とを具備するもので、第1の非晶質シリコンの一部にレジストを形成し、レジストをマスクとして酸化洗浄し、レジストが形成されていない部分の表面を酸化させ、この酸化された第1の非晶質シリコンをエッティングすることにより、第1の非晶質シリコンの膜厚を異ならせる。」

【0019】また、第1の非晶質シリコンの厚さを異ならせた後に第2の非晶質シリコンを成膜する工程を具備するもので、第2の非晶質シリコンの形成によりチャネルの膜厚を設定する。

20 【0020】さらに、第1の非晶質シリコンにより形成された第1の多結晶シリコンおよび第2の非晶質シリコンにより形成された第2の多結晶シリコンの少なくとも一方は、p型不純物およびn型不純物のいずれかを含有しているもので、第1の多結晶シリコンおよび第2の多結晶シリコンのいずれかに、p型不純物またはn型不純物を含有することにより、所望の特性の薄膜トランジスタを形成する。

【0021】またさらに、請求項1ないし3いずれか記載の回路基板をアレイ基板とし、このアレイ基板に対向して配設された対向基板と、前記アレイ基板および対向基板間に配設された液晶とを具備したものである。

〔0022〕

【発明の実施の形態】以下、本発明の一実施の形態の液晶表示装置を図面を参照して説明する。

【0023】図2に示すように、液晶表示装置1は、マトリクスアレイ基板2に対向基板3を対向させ、これらマトリクスアレイ基板2および対向基板3間に液晶4を挟持させている。また、マトリクスアレイ基板2は第1の透明絶縁基板5上にマトリクス状に薄膜トランジスタ6が配設され、この薄膜トランジスタ6に対応して同様にマトリクス状に画素電極7が形成され、対向基板3は第2の透明絶縁基板8上に対向電極9が形成されてい

【0024】また、この液晶表示装置1は、図3に示すように、コプラナ型のCMOS(Complementary MOS)駆動回路用の薄膜トランジスタ11が複数設けられ、この駆動回路用の薄膜トランジスタ11は、nチャネルの薄膜トランジスタ12およびpチャネルの薄膜トランジスタ13が一対設けられ、nチャネルの薄膜トランジスタ12は、

しており、pチャネルの薄膜トランジスタ13は、nチャネルの薄膜トランジスタ12のゲート電極14に接続されたゲート電極17、nチャネルの薄膜トランジスタ12のソース電極16に接続されたドレイン電極18およびソース電極19を有している。

【0025】そして、nチャネルの薄膜トランジスタ12のソース電極16およびpチャネルの薄膜トランジスタ13のドレイン電極18の接続点は、それぞれ平行に形成されたゲート線21に接続され、これらゲート線21に直交して複数の信号線22が設けられている。

【0026】また、ゲート線21および信号線22の交点では、ゲート線21に画素用の薄膜トランジスタ6のゲート電極23が接続され、信号線22にソース電極24が接続され、ドレイン電極25は画素電極7に接続され、この画素電極7は液晶4を介して対向電極9に接続され、液晶には並列に補助電極26が接続されている。

【0027】次に、画素用の薄膜トランジスタ6および駆動回路用の薄膜トランジスタ11のnチャネルの薄膜トランジスタ12の構造について図1を参照して説明する。

【0028】マトリクスアレイ基板2の第1の透明絶縁基板5上に、バッファ層31が形成され、このバッファ層31上に、画素用の薄膜トランジスタ6および駆動回路用の薄膜トランジスタ11のnチャネルの薄膜トランジスタ12が形成されている。

【0029】そして、このバッファ層31上に多結晶シリコン膜32が形成され、この多結晶シリコン膜32の画素用の薄膜トランジスタ6の対応する部分に図4に示すように多結晶シリコンの平均粒径が0.2μmと小さく移動度が小さい膜厚のチャネル領域33、ソース領域34およびドレイン領域35が形成されているとともに、駆動回路用のnチャネルの薄膜トランジスタ12の対応する部分に図5に示すように多結晶シリコンの平均粒径が0.5μmと大きく移動度が大きいやや膜薄でチャネル領域33とは不純物濃度が異なるチャネル領域36、ソース領域37およびドレイン領域38が形成されている。

【0030】また、これら多結晶シリコン膜32上にはゲート絶縁膜41が形成され、このゲート絶縁膜41上の画素用の薄膜トランジスタ6のチャネル領域33の上方にはゲート電極23が形成され、駆動回路用のnチャネルの薄膜トランジスタ12のチャネル領域36の上方にはゲート電極14が形成されている。

【0031】さらに、これらゲート電極23およびゲート電極14を含むゲート絶縁膜41上には層間絶縁膜42が形成され、層間絶縁膜42およびゲート絶縁膜41にはコンタクトホール43、44、45、46が形成されている。そして、コンタクトホール43にはソース領域34に電気的に接続されるソース電極24が形成され、コンタクトホール44にはドレイン領域35に電気的に接続されるドレイン電極25が形成され、コンタクトホール45にはソース領域37に電気的に接続されるソース電極16が形成され、コンタクトホール46にはドレイン領域38に電気的に接続されるドレイン電極17が形成される。

ル46にはドレン領域38に電気的に接続されるドレン電極15が形成されている。

【0032】また、これら画素用の薄膜トランジスタ6および駆動回路用の薄膜トランジスタ11のnチャネルの薄膜トランジスタ12の表面には保護膜47が形成されている。

【0033】次に、これら画素用の薄膜トランジスタ6および駆動回路用の薄膜トランジスタ11のnチャネルの薄膜トランジスタ12の製造方法について説明する。

【0034】まず、図6に示すように、第1の透明絶縁基板5上にバッファ層31およびたとえばノンドープの第1の非晶質シリコン($a-Si$)51を25nmの膜厚で積層形成する。

【0035】次に、図7に示すように、フォトリソグラフィによりたとえばレジスト52をパターニングする。

【0036】そして、図8に示すように、オゾン(O₃)水などの洗浄でレジスト52が被着されていない領域の非晶質シリコンを酸化しシリコン酸化膜53とする。なお、20 ppmのオゾン水を用いれば酸化されシリコン酸化膜53となる膜厚は2 nm～3 nm程度である。

【0037】さらに、図9に示すように、フッ酸(HF)系などの薬液でシリコン酸化膜53をエッチングする。

【0038】再度、図10に示すように、レジスト52が被着していない領域をオゾン水を用いて酸化させ、シリコン酸化膜54を形成する。

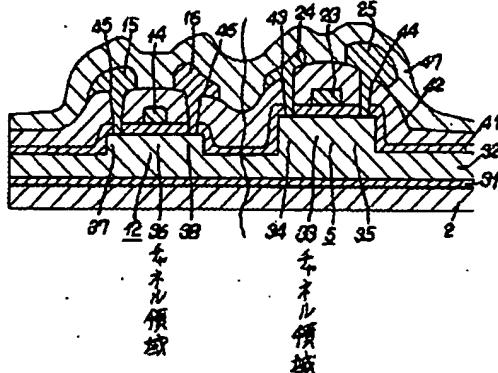
【0039】また、図11に示すように、フッ酸系などの薬液でシリコン酸化膜54をエッチングする。

【0040】さらに、図12に示すように、レジスト52をエッチングして剥離し、第1の非晶質シリコン51の膜厚が25nmの領域と20nmの領域と異なる膜厚の領域を形成できる。なお、この第1の非晶質シリコン51のエッチングは、ケミカルドライエッチング(CDE)などでは、制御性がなく極薄膜のエッチング、特に途中中断のエッチングは困難である。

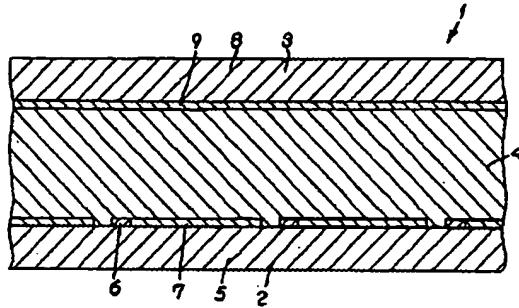
【0041】次に、図13に示すように、たとえばボロン(B)などの不純物を $2 \times 10^{17} \text{ cm}^{-3}$ ドープした第2の非晶質シリコン55を25nmの膜厚で積層成膜し、脱水素アニール処理を施した後、エキシマレーザアニール(ELA)し、非晶質シリコンを多結晶シリコン化するとともに不純物を膜厚方向に拡散させる。

【0042】そして、図14に示すように、多結晶シリコン膜56を形成する。なお、膜厚が厚い領域は平均粒径0.2μmと小さく、ボロン濃度は1.0E17cm⁻³と薄くなり、膜厚が薄い領域は平均粒径0.5μmと大きく、ボロン濃度は1.1E17cm⁻³と濃くなる。これにより、膜厚が厚い領域では低移動度になり、膜厚が薄い領域では高移動度で閾値電圧が厚膜の領域より正側にシフトする。

[☒ 1]



【図2】

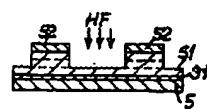
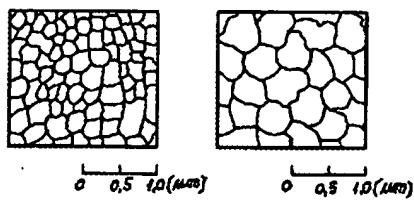
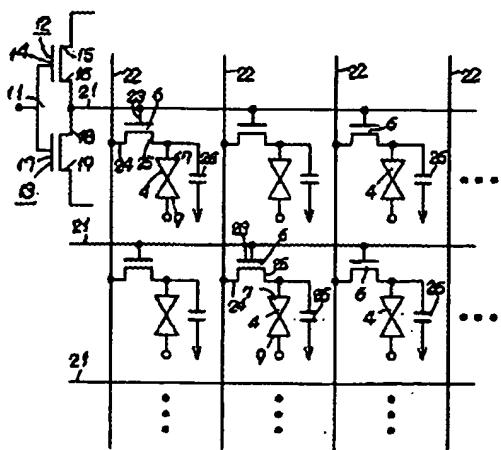


〔四〕

【图5】

[☒ 11]

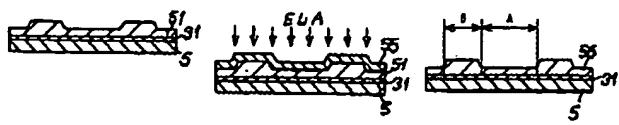
〔四三〕



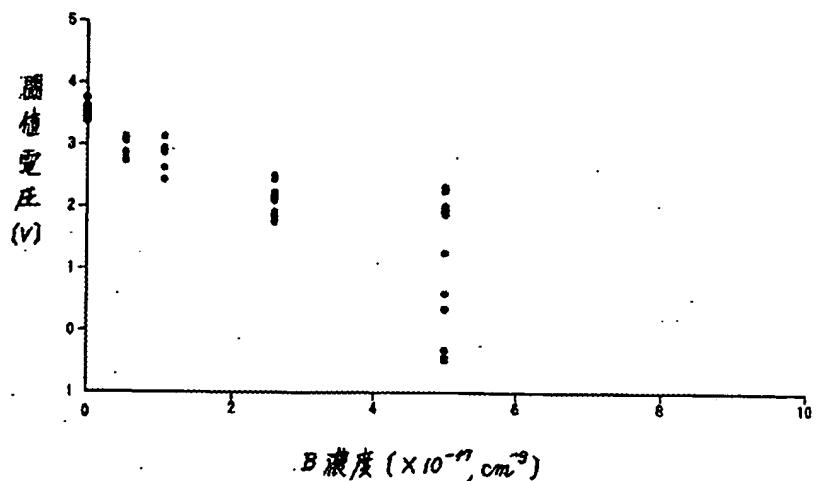
〔图12〕

[图13]

〔四一四〕



【図15】



【図16】

